

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 5 年 3 月 2 3 日

出 願 番 号

Application Number:

特 願 2 0 0 5 - 0 8 3 8 1 0

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 5 - 0 8 3 8 1 0

出 願 人

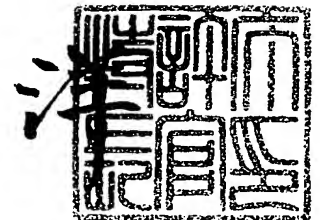
Applicant(s):

三菱電機株式会社

2 0 0 5 年 4 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【官 報 号】 特 許 願
【整理番号】 549173JP02
【提出日】 平成17年 3月23日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 25/18
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 【氏名】 田牧 努
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 【氏名】 鈴木 拓也
【特許出願人】
 【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社
【代理人】
 【識別番号】 100089118
 【弁理士】
 【氏名又は名称】 酒井 宏明
【先の出願に基づく優先権主張】
 【出願番号】 特願2004- 92043
 【出願日】 平成16年 3月26日
【手数料の表示】
 【予納台帳番号】 036711
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9803092

【請求項 1】

高周波半導体と、この高周波半導体を表層接地導体に載置する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される内層接地導体と、

前記内層接地導体上であって、前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される複数のグラウンドビアと、

を備えるとともに、

前記内層信号線路に、前記高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路を設けるようにしたことを特徴とする高周波パッケージ。

【請求項 2】

高周波半導体と、この高周波半導体を表層接地導体に載置する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される内層接地導体と、

前記内層接地導体上であって、前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される複数のグラウンドビアと、

を備えるとともに、

前記内層信号線路に、前記高周波半導体で使用する高周波信号の通過を抑えるローパスフィルタを設けるようにしたことを特徴とする高周波パッケージ。

【請求項 3】

高周波半導体と、この高周波半導体を表層接地導体に載置するとともに前記表層接地導体に接続される内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記第1の信号ビアよりも高周波半導体に近い側に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第1のグラウンドビア列と、

前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第2のグラウンドビア列と、

を備え、

前記第1のグラントビア列と第2のグラントビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、

前記第1および第2のグラントビア列における各グラントビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項4】

高周波半導体と、キャビティが形成され、前記高周波半導体をキャビティの底面に形成された表層接地導体に載置するとともにこの表層接地導体に接続された内層接地導体を有し、前記キャビティを形成する側壁が非接地である多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記第1の信号ビアよりも高周波半導体に近い側であってかつ前記キャビティを形成する前記多層誘電体基板の側壁近傍に配設され、前記内層接地導体に接続される複数のグラントビアからなる第1のグラントビア列と、

前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラントビアからなる第2のグラントビア列と、

を備え、

前記第1のグラントビア列と第2のグラントビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、

前記第1および第2のグラントビア列における各グラントビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項5】

前記第1のグラントビア列の各グラントビアは、ビアの一部が多層誘電体基板の側壁に露出していることを特徴とする請求項4に記載の高周波パッケージ。

【請求項6】

高周波半導体と、キャビティが形成され、前記高周波半導体をキャビティの底面に形成された表層接地導体に載置するとともにこの表層接地導体に接続された内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記キャビティを形成する多層誘電体基板の側壁に形成される側壁グラントパターンと、

前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラントビアからなるグラントビア列と、

を備え、

前記側壁グラントパターンとグラントビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、

前記ノット列における各ノット列の隣接間隔を、前記同周波数等体では用いる高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項 7】

高周波半導体と、キャビティが形成され、前記高周波半導体をキャビティの底面に形成された表層接地導体に載置するとともにこの表層接地導体に接続された内層接地導体を有し、前記キャビティを形成する側壁が非接地である多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなるグラウンドビア列と、

を備え、

前記側壁とグラウンドビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/4$ 未満とするとともに、

前記グラウンドビア列における各グラウンドビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項 8】

前記多層誘電体基板の表面における前記電磁シールド部材から前記側壁までの部分に、誘電体が露出された領域を形成したことを特徴とする請求項4～7のいずれか一つに記載の高周波パッケージ。

【請求項 9】

前記第2のグラウンドビア列またはグラウンドビア列は、前記電磁シールド部材が前記多層誘電体基板と当接する箇所の直下に配置されることを特徴とする請求項3～8のいずれか一つに記載の高周波パッケージ。

【請求項 10】

前記第1の信号ビアは、多層誘電体基板の表層に形成された導体パッドに接続され、導体パッドは、誘電体が露出された領域を挟んで周囲の一部または全てを表層接地導体で囲まれることを特徴とする請求項1～9のいずれか一つに記載の高周波パッケージ。

【請求項 11】

裏面にグラウンド端子およびバイアス／制御信号用端子を有する高周波半導体と、この高周波半導体が表層にフリップチップ実装される複数の導体パッド、前記グラウンド端子が接続される内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続される複数の信号ビアと、

前記複数の信号ビア間を接続する内層信号線路と、

前記内層接地導体に接続され、前記信号ビアを囲む複数のグラウンドビア列と、

を備え、

信号ビアを挟むグラウンドビア列間の間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項 12】

請求項1～11のいずれか一つに記載の高周波パッケージであって、前記高周波半導体は、周波数変調された高周波信号を目標に向けて照射する送信系回路および目標から反射した受信信号を受信する受信系回路を備える高周波パッケージと、

高周波パッケージとの前記高周波半導体との間で送信信号および受信信号を入出力する導波管端子と、

- ・ 同周波パッケージの同周波半導体パッケージへ信号を伝達し、同周波半導体との間で制御信号を授受し、高周波半導体から出力される送信波を変調制御する制御回路と、
を備えることを特徴とする送受信モジュール。
- ・ 【請求項 13】
請求項 12 に記載の送受信モジュールと、
前記送受信モジュールの導波管端子を介して入出力される高周波信号を送受信するアンテナと、
前記高周波パッケージの受信系回路の出力を低周波信号に変換する電子回路と、
該電子回路で変換された低周波信号に基づいて目標までの距離、相対速度を演算する信号処理基板と、
を備えることを特徴とする無線装置。

【発明の名称】 高周波パッケージ、送受信モジュールおよび無線装置

【技術分野】

【0001】

本発明は、マイクロ波帯またはミリ波帯などの高周波帯で動作する高周波半導体を搭載する高周波パッケージ、該高周波パッケージを用いた送受信モジュールおよび無線装置に関し、さらに詳しくは高周波半導体から発生される高周波信号の外部への漏洩を抑止することが可能な高周波パッケージ、該高周波パッケージを用いた送受信モジュールおよび無線装置に関するものである。

【背景技術】

【0002】

従来の無線装置において、例えば車載ミリ波レーダでは、ミリ波帯の電磁波を使用し、前方の車両との距離、相対速度の検知によって、クルーズコントロールや衝突不可避時のドライバーへの被害軽減などの安全性対策に適用されている。このような車載ミリ波レーダでは、ミリ波帯の高周波送信信号を得るために、その N 分の1の周波数(N は2以上の整数)から逡倍する方式が多いが、この場合、多くの周波数成分がモジュール内に存在するため、所望のEMI特性を満足するのが非常に困難となっている。

【0003】

車載ミリ波レーダにおいて、送受信モジュールは、通常、レーダ装置用の高周波半導体が搭載された高周波パッケージ、この高周波パッケージにバイアス信号および制御信号を供給する制御／インタフェース基板、および導波管などを備えて構成されるが、上記のEMI特性を満足させるために、従来は、送受信モジュール全体を金属カバーで覆うように構成することが多い。

【0004】

しかしながら、送受信モジュール全体を金属カバーで覆うように構成した場合、高価な筐体等が必要となるため、低コスト化のためにも、高周波パッケージ内で対策が望まれている。

【0005】

特許文献1では、金属製のベース部材上に、高周波信号用集積回路部品および誘電体基板を実装し、誘電体基板上にマイクロスリップラインを形成し、これらを金属製のフレーム部材および蓋部材で覆うようにしており、ベース部材に実装される高周波信号用集積回路部品は、バイアス端子を介してバイアスが供給される。

【0006】

【特許文献1】 特開2000-31812号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記従来技術では、高周波パッケージを金属ベース、金属製フレーム部材、金属の蓋部材で囲むようにしているので、外部への高周波成分の漏洩はある程度は抑制されるが、バイアス端子を介して漏れる高周波成分に関しては、何の対策もされていない。このため、高周波パッケージ内の誘電体基板、バイアス端子に電磁結合した不要波である高周波成分がバイアス端子を介してそのまま外部に放射されてしまうという問題がある。

【0008】

本発明は、上記に鑑みてなされたものであって、外部への高周波成分の漏洩を高周波パッケージ内で抑止するようにして、低コストで高周波シールド性能の高い高周波パッケージ、送受信モジュールおよび無線装置を得ることを目的とする。

【課題を解決するための手段】

【0009】

上述した課題を解決し、目的を達成するために、本発明は、高周波半導体と、この高周波半導体を表層接地導体に載置する多層誘電体基板と、この多層誘電体基板の表層の一部

および前記同向伝導導体を覆う電磁シールド部材として備える同向伝導パッケージにおいて、前記多層誘電体基板に、前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、第1の信号ビアと第2の信号ビアを接続する内層信号線路と、前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される内層接地導体と、前記内層接地導体上であって、前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される複数のグラウンドビアとを備えるとともに、前記内層信号線路に、前記高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路を設けるようにしている。

【0010】

この発明では、バイアス／制御信号用の内層信号線路に、高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路を設けるようにしており、これにより多層誘電体基板の表層の誘電体層などから高周波成分が多層誘電体基板に進入してバイアス／制御信号用の信号ビアあるいは内層信号線路に電磁結合したとしても、この高周波成分は、先端開放線路の箇所では反射され、外部端子まで通過することを抑止することができる。

【0011】

つぎの発明では、高周波半導体と、この高周波半導体を表層接地導体に載置するとともに前記表層接地導体に接続される内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、前記多層誘電体基板に、前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、第1の信号ビアと第2の信号ビアを接続する内層信号線路と、前記第1の信号ビアよりも高周波半導体に近い側に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第1のグラウンドビア列と、前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第2のグラウンドビア列とを備え、前記第1のグラウンドビア列と第2のグラウンドビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、前記第1および第2のグラウンドビア列における各グラウンドビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするようにしている。

【0012】

この発明によれば、第1のグラウンドビア列と第2のグラウンドビア列との間隔を高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることにより、多層誘電体基板内でのグラウンドビア列に沿った方向への高周波成分の進入を抑圧する。また、第1および第2のグラウンドビア列における各グラウンドビアの隣接間隔を、高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることにより、多層誘電体基板内でのグラウンドビア列に垂直な方向への高周波成分の進入を抑圧する。

【発明の効果】

【0013】

この発明によれば、バイアス／制御信号用の内層信号線路に、高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路を設けるようにしており、多層誘電体基板内に進入した高周波成分は、先端開放線路の箇所では反射され、外部端子まで通過することを抑止することができるので、高周波成分の高周波パッケージ外部への漏洩を確実に抑止することができる。このように、高周波パッケージ内部で、高周波成分の高周波パッケージ外部への漏洩を抑止することができるので、製造コストを低減することができる。

【0014】

次の発明によれば、第1のグラウンドビア列と第2のグラウンドビア列との間隔を高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることにより、多層誘電体基板内

のフロントピア列に向った方向への高周波成分の進入を抑圧することにも、第1および第2のグランドピア列における各グランドピアの隣接間隔を、高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることにより、多層誘電体基板内でのグランドピア列に垂直な方向への高周波成分の進入を抑圧するようにしている。これにより、この発明によれば、多層誘電体基板内の信号ピアあるいは内層信号線路への高周波信号の結合を抑圧することができ、これら信号ピア、内層信号線路、外部端子を経由して不要波が高周波パッケージの外部に放射されることを抑止することができる。

【発明を実施するための最良の形態】

【0015】

以下に、本発明にかかる高周波パッケージ、送受信モジュールおよびレーダ装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0016】

実施の形態1.

図1～図18に従って本発明の実施の形態1について説明する。図1は本発明を適用する無線装置を構成するレーダ装置1の機能ブロック図を示すものである。まず図1に従って、レーダ装置1の機能的な内部構成について説明する。

【0017】

このレーダ装置1は、ミリ波帯（例えば76GHz）の電磁波を使用し、前方の目標物（車両など）との距離および相対速度を検知する機能を有するFM-CWレーダである。FM-CWレーダは、周波数変調された高周波信号（送信信号）を目標に照射し、目標から反射した信号（受信信号）と送信信号の周波数の差を検出し、その周波数を使って目標までの距離および相対速度を算出するものである。

【0018】

図1において、レーダ装置1は、高周波パッケージ2、高周波パッケージ2内の各種高周波半導体素子を駆動制御する制御回路3、変調回路4を含む送受信モジュール6と、送受信アンテナが形成されたアンテナ7と、外部機器と接続されて各種信号処理を行う信号処理基板8とを備えている。

【0019】

信号処理基板8は、本レーダ装置1の全体の制御を行う機能を有するとともに、送受信モジュール6から得られるビデオ信号に基づいてFFT（高速フーリエ変換）等の周波数解析処理を行うことにより、目標物との距離及び相対速度などを演算する。

【0020】

変調回路4は、信号処理基板8からの制御信号にあわせ、送信用の周波数変調電圧を出力する。制御回路3は、入力される制御信号（同期クロックなど）に従って動作し、パッケージ2に対しバイアス電圧、MMIC（Monolithic Microwave IC）の制御信号、変調信号などを出力する。

【0021】

高周波パッケージ2は、電圧制御発振器（VCO）30と、電力分配器32と、逡倍器33と、増幅器34と、導波管端子などで構成される送信端子35と、受信端子36と、低雑音増幅器（LNA）38と、ミキサ（MIX）39とを備えている。なお、高周波パッケージ2の大きさは、例えば、10～40mm角である。

【0022】

つぎに、動作について説明する。電圧制御発振器30は周波数変調された高周波信号を出力する。電力分配器32は、電圧制御発振器30の出力を2方向に電力分配する。逡倍器33は、この電力分配器32の一方の出力を受け、その周波数をN倍（ $N \geq 2$ の整数）に逡倍し、出力する。増幅器34は、逡倍器33の出力を電力増幅し、送信端子35に向けて送信信号を出力する。この送信信号は、例えば導波管などの導波路を介してアンテナ7に送られ、空間に照射される。

【0023】

アンテナ7は、目標物と反射して、受信波を受信する。アンテナ7が出力された受信波は受信端子36を介して増幅器38に入力される。増幅器38はアンテナ7からの出力を低雑音増幅する。ミクサ39は、電力分配器32から入力される高周波信号のN倍周波数の信号と増幅器38の出力周波数の和及び差の周波数を有するビデオ信号を信号処理基板8に出力する。信号処理基板8はビデオ信号に基づいてFFT（高速フーリエ変換）等の周波数解析処理を行うことにより、目標物との距離及び相対速度などを演算する。演算された目標物との距離及び相対速度は、外部機器に送信される。

【0024】

レーダ装置1は、送受信モジュール6と、信号処理基板8と、信号処理基板8への電源供給線、入出力信号線などを含むケーブル13などを備えている。

【0025】

図2は、送受信モジュール6の構成を示す断面図である。送受信モジュール6は、図2に示すように、図1の送信端子35、受信端子36に接続される導波管16が形成された導波管プレート17を備える。導波管プレート17の下面にはアンテナ7が接続される。また、送受信モジュール6は、導波管プレート17の上面に搭載される高周波パッケージ2と、図1の制御回路3あるいは変調回路4などを構成する電子回路19などが搭載されるモジュール制御基板（制御／インタフェース基板ともいう）21とを備えている。図2においては、高周波パッケージ2の構成要素として、接地されている金属製のキャリア22、多層誘電体基板23およびシールリング24、カバー25などが示されている。

【0026】

図3は高周波パッケージ2の斜視図、図4はカバーを外した状態での高周波パッケージ2の斜視図である。図において、多層誘電体基板23の側面は棚段形状を成しており、棚段の上面には外部端子51が形成されている。図4において、多層誘電体基板23の上面側にはカバー25の取り付け面X1が形成される。また、多層誘電体基板23の上面に面してキャビティ（空洞）X2、X3が形成されている。このキャビティX2、X3内に、更に小さい凹形状のキャビティ40が設けられている。キャビティ40内には、MMIC37が收容され、装着される。

【0027】

つぎに、図5はカバー25を除去した状態での高周波パッケージ2を示す平面図である。図2および図5に示すように、導波管16が形成された導波管プレート17上には、接地されている金属製のキャリア22と、制御回路3および変調回路4などを構成する電子回路19などが搭載されるモジュール制御基板21とが搭載されている。キャリア22にも導波管27が形成され、キャリア22は、フランジ28に形成されたネジ孔26aにネジ26を挿入することによって導波管プレート17に固定されている。キャリア22上には、多層誘電体基板23が搭載されており、この多層誘電体基板23の中央部には、1～複数（この場合2個）の凹部、すなわちキャビティ40が形成されている。

【0028】

キャビティ40の底面（上面）41上には、図1の高周波パッケージ2内に含まれる複数の高周波半導体（MMIC）43が收容されている。ここで云う高周波半導体43は、図1の高周波パッケージ2内に含まれる電圧制御発振器（VCO）30、電力分配器32、逓倍器33、増幅器34、低雑音増幅器（LNA）38、またはミクサ（MIX）39の総称である。

【0029】

図5に示すように、一方の（図示上側）キャビティ40には、低雑音増幅器（LNA）38、またはミクサ（MIX）39などの受信系高周波半導体が收容され、他方の（図示下側）キャビティ40には、電圧制御発振器（VCO）30、電力分配器32、逓倍器33、増幅器34などの送信系高周波半導体が收容されている。

【0030】

多層誘電体基板23上には、高周波半導体43から外部への不要放射をシールドする金属製の枠形状のシールリング24が搭載され、さらにシールリング24上にはカバー25

が設けられている。シールリング24およびカバーストップにより、多層誘電体基板23の表層の一部および高周波半導体43を覆う電磁シールド部材を構成している。

【0031】

図5に示すように、2つのキャビティ40を画成するためのシールリング24'には、フィードスルー42が設けられており、上側のキャビティ40に収容されたミキサ(MIX)39と下側のキャビティ40に収容された電力分配器32との間はフィードスルー42およびマイクロストリップ線路45によって接続されている。フィードスルー42は、信号ピンあるいはマイクロストリップ線路を誘電体で覆うように構成され、これにより各キャビティ40では気密状態を保持したまま、2つのキャビティ40間で高周波信号が伝送される。図5において、符号46は、マイクロストリップ導波管変換器である。

【0032】

また、多層誘電体基板23側には、高周波半導体43にバイアス電圧を供給したり、あるいは高周波半導体43との間で制御信号を入出力するための導体パッド(以下、バイアス/制御信号用パッドという)50が設けられている。高周波半導体43側にも、導体パッド(バイアス/制御信号用端子)49が設けられている。バイアス/制御信号用パッド50と高周波半導体43の導体パッド49との間、あるいは高周波半導体43とマイクロストリップ線路45との間などは、金などで構成されるワイヤ44によってワイヤボンディング接続されている。なお、ワイヤ44による接続に代えて、金属バンプあるいはリボンによってこれらの接続をとるようにしてもよい。

【0033】

シールリング24の外側の多層誘電体基板23上には、外部端子51が設けられている。外部端子51は、図6に示すように、多層誘電体基板23内に形成された信号ビア65(信号スルーホール)及び内層信号線路60を介してシールリング24の内側の多層誘電体基板23上に設けられたバイアス/制御信号用パッド50と電気的に接続されている。これらの外部端子51は、図2に示すように、ワイヤ41を介してモジュール制御基板21上に形成された外部端子52などに接続されている。図2に示すように、内層信号線路60には、抵抗膜80が付着されており、この抵抗膜80によって、内層信号線路60を介した高周波成分(不要波)の外部への漏洩を抑制するようにしている。この抵抗膜80に関しては、後で詳述する。

【0034】

図6は、高周波パッケージ2の多層誘電体基板23内のビア構造(スルーホール構造)を詳細に示す図である。図6においては、バイアス/制御信号用ビア(以下信号ビアという)65は、白抜きで示し、グランドビア75はハッチング付きで示している。この場合、多層誘電体基板23は、多層誘電体基板23の第1層の中央部が削除されることによって、キャビティ40が形成されている。キャビティ40の底面、すなわち第3層の表面には、表層接地導体としてのグランド面53が形成されており、このグランド面53に半田または導電性接着剤54を介して高周波半導体43が搭載される。高周波半導体43の下に配置されるグランド面53には、グランド面53およびキャリア22間を接続する複数のグランドビア75aが設けられている。

【0035】

キャビティ40の側壁(多層誘電体基板23の第1層の側壁面)55は、この場合、誘電体が露出された状態にある。多層誘電体基板23の第1層の表層(上面層)には、1~複数のバイアス/制御信号用パッド50が設けられているが、これらバイアス/制御信号用パッド50の周囲の誘電体が露出された部分56以外は、表層接地導体としてのグランドパターン57が形成されており、表層を介して多層誘電体基板23の内部に高周波信号が進入することを防止している。

【0036】

多層誘電体基板23の第1層におけるシールリング24の直下近傍には、高周波半導体43から発生する高周波成分をシールドするためのRFシールドビア75bが設けられている。なお、RFシールドビア75bは、紙面に垂直な方向にも複数個並べられている。

多層誘電体基板23の第1層中で、キャリア140の隔壁55がRFシールドピア75bが設けられている箇所までの領域をキャピティ側縁部71と呼称する。また、キャピティ側縁部71の表層に設けられるグラウンドパターン57を側縁部表層グラウンドパターンと呼ぶこととする。RFシールドピア75bは、側縁部表層グラウンドパターン57および多層誘電体基板23の内層に形成された内層接地導体70に接続されている。

【0037】

シールリング24の内側に配置されるバイアス／制御信号用パッド50は、1～複数の信号ピア65および1～複数の内層信号線路60を介してシールリング24の外側に配置される外部端子51と接続されている。信号ピア65の周囲には、誘電体を挟んで複数のグラウンドピア75cが配されており、これら複数のグラウンドピア75cによって信号ピア75からの電界をシールドしている。

【0038】

図6においては、内層接地導体70を簡略化して示しているが、内層接地導体は70は、基本的には、図7-1～図7-4および図8に示すように、ベタグラウンド層として全ての層間に設けられている。

【0039】

図7-1～図7-4は、図6において左側に配置された2つの信号ピア65の周辺の様子を各層間において示したものである。図7-1（面A）は第1層と第2層との間の状況を示すもので、図7-2（面B）は第3層と第4層との間の状況を示すもので、図7-3（面C）は、第4層と第5層との間の状況を示すもので、図7-4（面D）は、第5層とキャリア22との間の状況を示すものである。

【0040】

図7-1（面A）および図7-2（面B）においては、2つの信号ピア65の周りには、誘電体61を挟んで複数のグラウンドピア75および内層接地導体70が配置されている。図7-3（面C）においては、2つの信号ピア65と、これら2つの信号ピア65間を接続する内層信号線路60とが配置されており、これら信号ピア65および内層信号線路60の周りには、誘電体61を挟んで複数のグラウンドピア75さらには内層接地導体70が配置されている。さらに、内層信号線路60には、外部への高周波成分の漏洩を抑制するための抵抗膜80が付着されており、また内層信号線路60には、先端開放線路83が形成されている。図7-4（面D）においては、信号ピア65および内層信号線路60が配置されておらず、グラウンドピア75および内層接地導体70のみが配置されている。

【0041】

図8は、任意の層の配線パターンの一例を示すものである。図8に示すように、信号ピア65の周りには、誘電体61を挟んで複数のグラウンドピア75さらには内層接地導体70が配置されている。また、内層信号線路60が存在する箇所では、信号ピア65に接続された内層信号線路60の周囲には、誘電体61を挟んで、複数のグラウンドピア75さらには内層接地導体70が配置されている。図8においても、内層信号線路60には、外部への高周波成分の漏洩を抑制するための抵抗膜80が付着されている。

【0042】

ここで、図2～図8に示す本高周波パッケージ2は、以下に示す3つの特徴的な構成（a）～（c）を備えている。

【0043】

（a）図2，図6～図8に示すように、内層信号線路60の上面および下面のうちの少なくとも一方の面に、抵抗膜80を設ける。これにより、キャピティ40の側壁55あるいはバイアス／制御信号用パッド50の周囲の誘電体56を介して進入して信号ピア65あるいは内層信号線路60に結合した高周波信号を表皮効果により抵抗体で吸収させるとともに、バイアス用のDC電圧あるいは制御信号用の低中周波信号は電圧降下なく通過させる。このような構成により、信号ピア65あるいは内層信号線路60、外部端子51を経由して高周波信号が高周波パッケージ2の外部に放射されることを抑止する。

【0044】

(b) フィードスルー４２の側縁部７１における側壁５５の近傍に、複数のグランドビア（側壁グランドビアともいう）８１が側壁５５に沿った方向（図６の紙面に垂直な方向、以下、奥行き方向という）に並べられて形成される１列の側壁グランドビア列８２を設ける。そして、この側壁グランドビア列８２と、信号ビア６５を挟んで最短距離にあるＲＦシールドビア列８４（信号ビアから最短距離にあるＲＦシールドビア７５ｂからなるビア列）との間隔を、高周波パッケージ２内にて使用する高周波信号の実効波長 λ_g の $1/2$ 未満の値として設定している。また、各グランドビア列８２、８４における各グランドビアの隣接間隔も $\lambda_g/2$ 未満の値として設定している。これにより、キャピティ４０の側壁５５への高周波信号の進入を抑圧するとともに、高周波信号の奥行き方向への通過を抑圧する。このため、キャピティ側縁部７１内に高周波成分が結合することを抑圧することができ、たとえばバイアス／制御信号用パッド５０の周囲の誘電体５６さらにはキャピティ４０の側壁５５などを介して高周波信号が多層誘電体基板２３内に進入したとしても、奥行き方向への通過量が小さくなるため、信号ビア６５あるいは内層信号線路６０への高周波信号の結合を抑圧することができる。したがって、これら信号ビア６５、内層信号線路６０、外部端子５１を経由して高周波信号が高周波パッケージ２の外部に放射されることを抑止することができる。

【００４５】

(c) 図６および図７－３に示すように、内層信号線路６０には、高周波パッケージ２内にて使用する高周波信号の実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路８３を設ける。このような先端開放線路８３を設けるようにしているので、キャピティ４０の側壁５５あるいはバイアス／制御信号用パッド５０の周囲の誘電体５６を介して信号ビア６５あるいは内層信号線路６０に結合した高周波信号を先端開放線路８３の箇所では反射することができ、これにより高周波信号が先端開放線路８３より先まで通過することを抑圧し、外部端子５１を介した外部への高周波成分の漏洩を抑止することができる。

【００４６】

このように本高周波パッケージ２においては、上記した特徴的な構成（a）～（c）を備えることにより、本高周波パッケージ２における不要波の外部への放射を抑制するようにしている。

【００４７】

以下、図９～図１８を用いて、本発明の要部である上記特徴的な構成（b）（c）について詳述する。図９は、図３～図５に示した高周波パッケージ２を単純化して示したものであり、図４、図５に示した２つのキャピティ４０のうちの一方のキャピティ４０を有する高周波パッケージ２を示している。図１０は、図１９のＡ－Ａ線で切断した状態を示したものである。図９では、カバー２５を取り去った状態を示している。

【００４８】

図９において、高周波パッケージ２は、前述したように、接地されている金属製のキャリア２２、多層誘電体基板２３、シールリング２４、キャピティ４０、フィードスルー４２、高周波半導体４３、ワイヤ４４、マイクロストリップ線路４５、バイアス／制御信号用パッド５０、外部端子５１、バイアス／制御信号用パッド５０の周囲の誘電体５６、多層誘電体基板２３の表面に形成されたグランド５７などを備えている。

【００４９】

高周波パッケージ２には外部端子５１が設けられ、外部端子５１は信号ビア６５及び内層信号線路６０を経由して、バイアス／制御信号用パッド５０と電氣的に接続されている。高周波パッケージ２の表層においては、マイクロストリップ線路４５、バイアス／制御信号用パッド５０及びその周囲の誘電体５６以外は、バイアスまたは制御信号に、高周波信号が結合するのを抑圧するため、グランドパターン（図９では、側縁部表層グランドパターン５７のみが示されている）を設けている。側縁部表層グランドパターン５７は、グランドビア８１、７５ｂなどを介して内層接地導体７０（図６参照）に接続されている。ここで、この高周波パッケージ２においては、前述したように、キャピティ４０の側壁５５は、多層誘電体基板２３の誘電体が露出されている。

【 0 0 5 0 】

高周波半導体 4 3 で使用された高周波信号は、例えばワイヤ 4 4 によってマイクロストリップ線路 4 5 に接続され、フィードスルー 4 2 等によって他のキャビティ 4 0 内の高周波半導体 4 3 に伝送される。高周波半導体 4 3 を駆動あるいは制御するためのバイアス／制御信号は、外部端子 5 1 から信号ビア 6 5 及び内層信号線路 6 0 を経由してバイアス／制御信号用パッド 5 0 を通り、このバイアス／制御信号用パッド 5 0 からワイヤ 4 4 を経由して高周波半導体 4 3 に印加される。高周波パッケージ 2 に設けられたグランドパターンやグランドビアは、高周波半導体 4 3 あるいはマイクロストリップ線路 4 5 から空間に放射される高周波信号成分が、バイアス／制御信号に結合するのを抑圧する。

【 0 0 5 1 】

つぎに、上述した特徴的な構成 (b) について詳述する。図 1 0 および図 1 1 に示すように、多層誘電体基板 2 3 内におけるキャビティ 4 0 の側壁 5 5 の近傍に、複数の側壁グランドビア 8 1 が奥行き方向 K に並べられている 1 列の側壁グランドビア列 8 2 を設ける。そして、この側壁グランドビア列 8 2 と、信号ビア 6 5 を挟んで側壁グランドビア列 8 2 から最短距離にある複数のグランドビア 7 5 b で構成されるグランドビア列 8 4 との間隔を、高周波パッケージ 2 内にて使用する高周波信号の実効波長 λ_g の $1/2$ 未満の値として設定している。また、各グランドビア列 8 2, 8 4 における隣接するグランドビアの間隔 t も $\lambda_g/2$ 未満の値として設定している。

【 0 0 5 2 】

これに対し、図 1 2 は、キャビティ 4 0 を構成する側壁 5 5 の付近に側壁グランドビア列 8 2 を設けない場合の構成を示すものである。図 1 2 のように、側壁グランドビア列 8 2 を設けない場合、側壁 5 5 が高周波的には磁気壁として動作するため、磁気壁を最大電界値の対称軸とした図 1 2 に示したような電界分布が発生する。ここで、側壁 5 5 からグランドビア列 8 4 までの距離を L_a とすると、半波長が $2 L_a$ 以下の波長成分は奥行き方向 K に通過可能となり、半波長が $2 L_a$ より長い波長成分のみ奥行き方向 K に通過不可能となる。

【 0 0 5 3 】

したがって、図 1 2 のように、 $L_a \geq \lambda_g/4$ である場合は、実効波長 λ_g の高周波成分は奥行き方向 K に通過可能となる。このため、図 1 2 に示すように、側壁 5 5 の付近に側壁グランドビア列 8 2 を設けずかつ側壁 5 5 からグランドビア列 8 4 までの距離が、上記実効波長 λ_g の $1/4$ 以上ある場合は、側壁 5 5 あるいはバイアス／制御信号用パッド 5 0 の周囲の誘電体 5 6 などを介して進入した高周波成分がキャビティ側縁部 7 1 内で結合し、これが奥行き方向 K に通過してバイアス／制御信号に結合し、信号ビア 6 5、内層信号線路 6 0、外部端子 5 1 を介して漏洩することになる。

【 0 0 5 4 】

しかし、図 1 0 および図 1 1 に示す構成では、まずグランドビア列 8 2, 8 4 における隣接するグランドビアの間隔 t を $\lambda_g/2$ 未満の値として設定している。これにより、隣接するグランドビア 8 1, 8 1 (あるいは 7 5 b, 7 5 b) がそれぞれカットオフ導波管として動き、側壁 5 5 からの高周波成分の進入を抑制することができる。

【 0 0 5 5 】

さらに、図 1 0 および図 1 1 に示す構成では、側壁グランドビア列 8 2 とグランドビア列 8 4 との間隔を、上記実効波長 λ_g の $1/2$ 未満の値として設定している。このため、側壁グランドビア列 8 2 とグランドビア列 8 4 との間の部分がカットオフ導波管として動き、その通過特性は、図 1 3 の曲線 b で示すように、ハイパスフィルタのような特性を示し、周波数 f_0 の付近および f_0 より低い周波数領域での通過量を少なくすることができる。

【 0 0 5 6 】

図 1 3 は、図 1 1 の構成において、側壁グランドビア列 8 2 とグランドビア列 8 4 との間隔を高周波信号の実効波長 λ_g の $1/2$ 未満の値とした場合と、 $1/2$ 以上にした場合、さらに図 1 2 に示すように、側壁グランドビア列 8 2 を配設しない場合であってかつ L

$a \leq \lambda_g / 4$ の場合と、 $a > \lambda_g / 4$ とした場合における、マイクストリップ線路 1 の奥行き方向 K への高周波信号成分の通過特性を示すものである。破線で示す曲線 a は、図 11 の構成において側壁グラウンドビア列 82 とグラウンドビア列 84 との間隔を実効波長 λ_g の $1/2$ 以上にした場合、あるいは図 12 に示すように側壁グラウンドビア列 82 を配設しない場合であってかつ $a \geq \lambda_g / 4$ である場合に対応している。実線で示す曲線 b は、図 11 の構成において、側壁グラウンドビア列 82 とグラウンドビア列 84 との間隔を高周波信号の実効波長 λ_g の $1/2$ 未満の値とした場合、あるいは図 12 に示すように側壁グラウンドビア列 82 を配設しない場合であってかつ $a < \lambda_g / 4$ である場合（図 22 に示す構成）に対応している。

【0057】

図 13 において、 f_0 は高周波パッケージ 2 内にて使用する高周波信号の実効波長 λ_g に対応する周波数であり、レーダ装置 1 から送信される送信波の周波数が 76 GHz であるとする、 $f_0 = 76 \text{ GHz}$ である。図 13 の曲線 a に示すように、側壁グラウンドビア列 82 を配設せずかつ $a \geq \lambda_g / 4$ である場合、あるいは図 11 に示すように側壁グラウンドビア列 82 を配設するが側壁グラウンドビア列 82 とグラウンドビア列 84 との間隔が実効波長 λ_g の $1/2$ 以上ある場合は、高周波信号の実効波長 λ_g に対応する周波数 f_0 での奥行き方向 K への通過量は大きい。

【0058】

しかし、図 10 あるいは図 11 に示すように、側壁グラウンドビア列 82 とグラウンドビア列 84 との間隔を高周波信号の実効波長 λ_g の $1/2$ 未満の値とした場合は、前述したように、その奥行き方向 K への通過特性は、図 13 の曲線 b で示すように、ハイパスフィルタのような特性を示し、周波数 f_0 の付近および f_0 より低周波領域での通過量が少なくすることができる。したがって、バイアス／制御信号用パッド 50 の周囲の誘電体 56 さらにはキャピティ 40 の側壁 55 などを介して不要波が多層誘電体基板 23 内に進入したとしても、キャピティ側縁部 71 での奥行き方向への通過量が小さくなるため、信号ビア 65 あるいは内層信号線路 60 への高周波信号の結合量を抑圧することができる。よって、これら信号ビア 65、内層信号線路 60、外部端子 51 を経由して高周波パッケージ 2 の外部に放射される不要波を抑圧することができる。因みに、図 11 には、側壁グラウンドビア列 82 を配設した場合の、電界分布を示している。

【0059】

また、この種のレーダ装置においては、発振信号を逡倍して送信信号を作ることが多いため、送信周波数が 76 GHz の場合は、 38 GHz 、 19 GHz 、…などの周波数成分が混在しているが、これらの周波数成分を含めて信号ビア 65 あるいは内層信号線路 60 への結合を抑制することができる。

【0060】

なお、図 11 に示すように、バイアス／制御信号用パッド 50 の周囲には、誘電体 56 が露出されているが、この露出箇所における側壁 55 側に近い箇所には、側縁部表層グラウンドパターン 57 および側壁グラウンドビア 81 を形成しないようにしている。これは、この箇所に側縁部表層グラウンドパターン 57 および側壁グラウンドビア 81 を形成した場合、バイアス／制御信号用パッド 50 へのワイヤ 44 のワイヤボンディングの際、誤ってワイヤ 44 がこれらのグラウンドに接触する可能性があるためである。勿論、このような点を考慮しない場合は、バイアス／制御信号用パッド 50 の全周囲を側縁部表層グラウンドパターン 57 で覆いかつ側壁グラウンドビア 81 を設けるようにしたほうが、高周波成分の外部漏洩を抑制する面では好ましい。

【0061】

また、図 9 に示す高周波パッケージ 2 においては、奥行き方向 K に延びるマイクロストリップ線路 45 が設けられており、マイクロストリップ線路 45 の両側に位置するキャピティ側縁部 71 a では、奥行き方向 K に垂直な J 方向への高周波成分の通過量を抑制する必要がある。この場合、マイクロストリップ線路 45 の両側には、グラウンドビア列 74 を形成することによって、J 方向への高周波成分の漏れを抑えるようにしているので、キャ

と、この側壁部１の幅方向に設けられた長さを、実効波長 λ_g によって決定する必要はない。

【００６２】

（特徴的な構成（ｂ）の変形態様１）

図１４は図１１の構成の変形態様１を示すものである。図１４においては、複数の側壁グランドビア８１は、縦に半割りしたような形状を呈し、キャビティ４０を構成する側壁５５に接して配置されている。

【００６３】

図１４の場合においても、複数の側壁グランドビア８１から成る側壁グランドビア列８２と、グランドビア列８４との間隔を、上記実効波長 λ_g の $1/2$ 未満の値として設定し、かつ各グランドビア列８２、８４における隣接するグランドビアの間隔も $\lambda_g/2$ 未満の値として設定している。したがって、この図１４の構成においても、キャビティ４０の側壁５５への不要波の進入を抑圧するとともに、不要波の奥行き方向Ｋへの通過を抑圧することができ、たとえばバイアス／制御信号用パッド５０の周囲の誘電体５６さらにはキャビティ４０の側壁５５などを介して不要波がキャビティ側縁部７１内に進入したとしても信号ビア６５あるいは内層信号線路６０への高周波信号の結合を抑圧できる。このため、これら信号ビア６５、内層信号線路６０、外部端子５１を経由して不要波が高周波パッケージ２の外部に放射されることを抑圧することができる。

【００６４】

（特徴的な構成（ｂ）の変形態様２）

図１５は図１０の構成の変形態様２を示すものである。この図１５の構成においては、キャビティ４０を構成する側壁５５をグランドパターン８５で全面メタライズするようにしている。また、このグランドパターン８５とグランドビア列８４との間隔を、上記実効波長 λ_g の $1/2$ 未満の値として設定し、かつ各グランドビア列８４における隣接するグランドビアの間隔も $\lambda_g/2$ 未満の値として設定している。したがって、この図１５に示す構成においては、キャビティ４０の側壁５５への不要波の進入を完全に抑圧することができる。また、バイアス／制御信号用パッド５０の周囲の誘電体５６などを介して不要波が多層誘電体基板２３内に進入したとしても信号ビア６５あるいは内層信号線路６０への高周波信号の結合量を抑圧でき、これら信号ビア６５、内層信号線路６０、外部端子５１を経由して不要波が高周波パッケージ２の外部に放射されることを抑圧することができる。

【００６５】

つぎに、上述した特徴的な構成（ｃ）について詳述する。図１０および図１６に示すように、バイアス／制御信号用パッド５０に接続される内層信号線路６０には、上記実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路８３を設けるようにしている。このような先端開放線路８３を設けることにより、キャビティ４０の側壁５５あるいはバイアス／制御信号用パッド５０の周囲の誘電体５６などを介して信号ビア６５あるいは内層信号線路６０に結合した高周波線分が先端開放線路８３より先の内層信号線路６０まで通過することを抑圧し、これにより外部端子５１を介した外部への高周波成分の漏洩を抑圧する。

【００６６】

これに対し、図１７に示すように、内層信号線路６０に先端開放線路８３を設けないようにした場合、信号ビア６５あるいは内層信号線路６０に結合した高周波線分が内層信号線路６０を通過して外部端子５１から外部へ漏洩することになる。

【００６７】

図１８は、バイアス／制御信号用パッド５０～外部端子５１間における高周波成分の通過特性を示しており、曲線ｃが図１７のように先端開放線路８３を設けない場合を、曲線ｄが図１６に示すように実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路８３を設ける場合を示している。図１８の曲線ｃからも判るように、先端開放線路８３を設けない場合は、全周波数帯域亘って通過量が多くなるため、信号ビア６５あるいは内層信号

縁部に同一方向の電圧が加わった場合、外部より同一方向の電圧が加わる事になる。

【0068】

これに対し、実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路83を設けた場合は、図18の曲線dからも判るように、バンドストップフィルタの機能が働き、高周波信号の実効波長 λ_g に対応する周波数 f_0 の近傍帯域において、通過量を極端に減らすことができる。このため、信号ピア65あるいは内層信号線路60に結合した高周波線分が先端開放線路83より先の内層信号線路60まで通過することを抑止することができ、これにより外部への高周波成分の漏洩を抑圧する事が可能となる。

【0069】

このようにこの実施の形態1によれば、上記した特徴的な構成(a)~(c)を備えるようにしているので、高周波パッケージ2の内部で高周波成分のシールド処理を行うことができ、これにより高周波パッケージの外部への高周波成分の漏洩を抑圧する事ができる。したがって、低コストで高周波シールド性能の高い高周波パッケージ、送受信モジュールさらには無線装置を実現することができる。

【0070】

なお、上記実施の形態1では、多層誘電体基板23内に形成したキャビティ40内に高周波半導体43を収容する構成の高周波パッケージ2に本発明を適用するようにしたが、上記した特徴的な構成(a)~(c)は、キャビティ40を持たない多層誘電体基板23の表層に高周波半導体43を搭載するような構成の高周波パッケージ2にも適用することができる。

【0071】

実施の形態2.

この発明の実施の形態2を図19にしたがって説明する。実施の形態2においては、実施の形態1で用いた先端開放線路83を、複数の先端開放線路の組み合わせから成る低域通過フィルタ(ローパスフィルタ)86に変更している。図20は、この低域通過フィルタ86の通過特性を示すものであり、この低域通過フィルタ86によれば、高周波信号の実効波長 λ_g に対応する周波数 f_0 より低い所定の周波数 f_1 以上の周波数成分をカットするようにしている。この低域通過フィルタ86は、実効波長 λ_g に近い値の複数の波長成分が多く存在する場合に有効である。

【0072】

この実施の形態2によれば、内層信号線路60に低域通過フィルタ86を設けるようにしているので、信号ピア65あるいは内層信号線路60に結合した高周波線分が低域通過フィルタ86より先の内層信号線路60まで通過することを抑圧することができ、これにより外部への高周波成分の漏洩を抑圧する事が可能となる。

【0073】

実施の形態3.

この発明の実施の形態3を図21および図22にしたがって説明する。図21は実施の形態3の高周波パッケージ2'を示すものであり、この高周波パッケージ2'においては、先の図6に示した高周波パッケージ2の構成要素と同じ機能を達成する構成要素に関しては、同一符号を付しており、重複する説明は省略する。

【0074】

図21に示す高周波パッケージ2'は、両面実装を行っており、多層誘電体基板23の裏面にも高周波半導体(または高周波半導体に関連する電子回路部品)66を搭載している。高周波半導体66は、キャリア22および裏面カバー67によってシールドされている。

【0075】

この実施の形態3の高周波パッケージ2'においては、キャビティ40を構成する側壁55の近傍には、図11に示した側壁グランドピア81あるいは図15に示したグランドパターン85を設けてはならず、側壁55は誘電体が露出された非接地状態にある。そして、実施の形態3の高周波パッケージ2'においては、図21及び図22に示すように、

側壁５５と、信号ビア６５を介して側壁５５から取込部５６に於ける複数のノードと、ノードで構成されるグラウンドビア列８４との間隔を、高周波パッケージ２内にて使用する高周波信号の実効波長 λ_g の $1/4$ 未満の値として設定している。

【００７６】

この構成の場合、側壁５５は、先の図１２の場合と同様、磁気壁として動作し、図１２に示したものと同様の電界分布をもつ。しかし、この構成の場合、側壁５５とグラウンドビア列８４との間隔 L_b を、上記実効波長 λ_g の $1/4$ 未満として設定しているので、実効波長 λ_g の高周波成分は奥行き方向Ｋには通過不可能となる。すなわち、実効波長 λ_g の高周波信号については、先の図１３にも示したように、奥行き方向Ｋにカットオフとなる。

【００７７】

このように、この実施の形態３においては、高周波信号は側壁５５を介して多層誘電体基板２３内に進入することはできるが、奥行き方向Ｋへの通過は抑制することができる。このため、信号ビア６５あるいは内層信号線路６０への高周波信号の結合量を抑圧することができ、信号ビア６５、内層信号線路６０、外部端子５１を経由して不要波が高周波パッケージ２の外部に放射されることを抑圧することができる。

【００７８】

実施の形態４．

この発明の実施の形態４を図２３にしたがって説明する。この実施の形態４は、先の実施の形態３の変形であり、多層誘電体基板２３のキャビティ側縁部７１の上面に形成した側縁部表層グラウンドパターン５７の一部を抜き、このグラウンド抜き部分８７では誘電体を露出するようにした点のみが実施の形態３と異なる。誘電体が露出された側壁５５とグラウンドビア列８４との間隔 L_b は、実効波長 λ_g の $1/4$ 未満として設定されている。

【００７９】

グラウンド抜き部分８７を設けるようにしているので、キャビティ側縁部７１の内部で結合した高周波成分をグラウンド抜き部分８７を介してシールリング２４およびカバー２５で囲まれた内部空間に放出することができる。すなわち、この場合はキャビティ側縁部７１の内部に進入してきた高周波成分をグラウンド抜き部分８７を介して上に抜くようにしている。このように、実施の形態４では、キャビティ側縁部７１の内部で結合した高周波成分を内部空間に放出することが可能となるため、バイアスまたは制御信号への結合量をさらに減少させることができる。したがって、不要波が高周波パッケージの外部に放射されることをさらに抑圧することができる。

【００８０】

なお、グラウンド抜き部分８７を先の実施の形態１の高周波パッケージ２のキャビティ側縁部７１に設けるようにしてもよい。

【００８１】

実施の形態５．

この発明の実施の形態５を図２４、図２５－１～図２５－４にしたがって説明する。実施の形態５は、フリップチップ実装の高周波半導体（ＭＭＩＣ）９０を搭載する高周波パッケージ９１に、実施の形態１で説明した特徴的な構成（ｂ）の発明を適用するようにしている。

【００８２】

図２４に示すフリップチップ実装の高周波半導体９０は、その底面に多数のバンプ９２を有しており、これらバンプ９２を介して高周波半導体９０と多層誘電体基板２３との間を接続する。図２５－１は、高周波半導体９０の裏面すなわちバンプ９２の配列例を示すもので、この場合、白抜きで示す信号バンプ９２ａの周りに黒塗りで示すグラウンドバンプ９２ｂが配置されている。

【００８３】

接地されたキャリア２２上には、多層誘電体基板２３が形成されている。多層誘電体基板２３上には、前述のシールリング２４およびカバー２５が形成されており、これらシールリング２４およびカバー２５によって高周波半導体９０がシールドされている。高周波

半導体チップは、多層誘電体基板23の各層に設けられた導体パッド94にフリップチップ実装される。多層誘電体基板23の各層には、実施の形態1で示した図6の高周波パッケージ2と同様、表層接地導体93、内層接地導体70および内層信号線路60が適宜形成されており、内層接地導体70、表層接地導体93およびキャリア22などの間をグランドビア75で接続している。また信号パンプ92aと外部端子51との間は、信号ビア65および内層信号線路60によって接続されている。

【0084】

図25-2(面A)は、高周波半導体90の直下における第1層表層のビア構造の一部を示すもので、信号パンプ92aおよびグランドパンプ92bの配置に対応して信号ビア65およびグランドビア75が配置されている。図25-3(面B)は、高周波半導体90の直下における第2層表層のビア構造の一部を示すもので、また図25-4(面C)は、高周波半導体90の直下における第3層表層のビア構造の一部を示すもので、面Cとして示す第3層表層には、内層信号線路60が形成されている。

【0085】

このような高周波半導体90を実装するに当たっては、図24および図25-2に示すように、信号ビア65を挟んだグランドビア75(グランドビア列)間の間隔D1、D2が、高周波パッケージ91に搭載される高周波半導体90の実効波長 λ_g の $1/2$ 未満となるように設定している。

【0086】

これにより、実施の形態5においては、信号ビア65さらには内層信号線路60に高周波成分が結合することを抑圧することができ、信号ビア65、内層信号線路60、外部端子51を経由して高周波成分が高周波パッケージ2の外部に放射されることを抑止することができる。

【0087】

なお、フリップチップ実装の高周波パッケージに、上記した特徴的な構成(a)、(c)を適用するようにしてもよい。

【産業上の利用可能性】

【0088】

以上のように、本発明にかかる高周波パッケージ、送受信モジュールおよびレーダ装置は、ミリ波帯、マイクロ波帯の電磁波を使用した無線装置に使用し、その低価格化に有用である。

【図面の簡単な説明】

【0089】

【図1】この発明を適用するFM-CWレーダの機能ブロック図である。

【図2】送受信モジュールの構成を示す断面図である。

【図3】実施の形態1の高周波パッケージの斜視図である。

【図4】実施の形態1の高周波パッケージのカバーを外した状態の斜視図である。

【図5】実施の形態1の高周波パッケージの平面図である。

【図6】高周波パッケージの多層誘電体基板のビア構造を詳細に示す断面図である。

【図7-1】図6の多層誘電体基板の面Aの状態を示す図である。

【図7-2】図6の多層誘電体基板の面Bの状態を示す図である。

【図7-3】図6の多層誘電体基板の面Cの状態を示す図である。

【図7-4】図6の多層誘電体基板の面Dの状態を示す図である。

【図8】内層信号線路、内層接地導体、グランドビア、信号ビアなどの配置パターン例を示す平面図である。

【図9】高周波パッケージの簡略内部構成を示す斜視図である。

【図10】図9の一部拡大図である。

【図11】図10の一部拡大図である。

【図12】従来技術を示す図である。

【図13】高周波成分の奥行き方向への通過特性を示す図である。

【図 14】実施の形態 1 の変形形態を示す斜視図である。

【図 15】実施の形態 1 の他の変形形態を示す斜視図である。

【図 16】図 10 の一部拡大図である。

【図 17】従来技術を示す図である。

【図 18】バイアスパッド～外部端子間の通過特性を示す図である。

【図 19】実施の形態 2 の高周波パッケージの一部拡大図である。

【図 20】実施の形態 2 の L P F の通過特性を示す図である。

【図 21】実施の形態 3 の高周波パッケージを示す断面図である。

【図 22】実施の形態 3 の高周波パッケージの一部拡大図である。

【図 23】実施の形態 4 の高周波パッケージの一部拡大図である。

【図 24】実施の形態 5 の高周波パッケージを示す断面図である。

【図 25-1】実施の形態 5 の高周波パッケージに搭載される高周波半導体の裏面を示す図である。

【図 25-2】図 24 の多層誘電体基板の面 A の状態を示す図である。

【図 25-3】図 24 の多層誘電体基板の面 B の状態を示す図である。

【図 25-4】図 24 の多層誘電体基板の面 C の状態を示す図である。

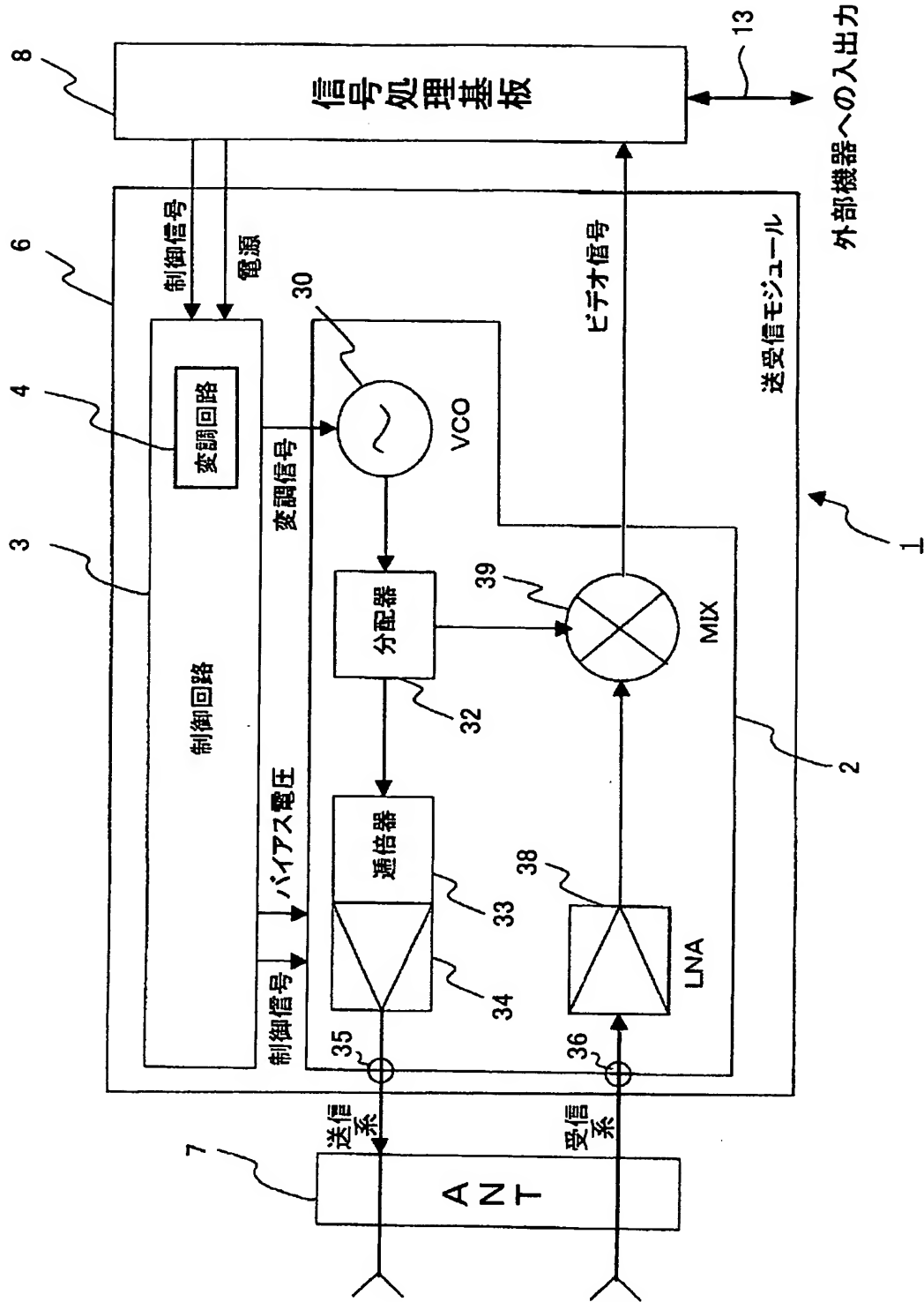
【符号の説明】

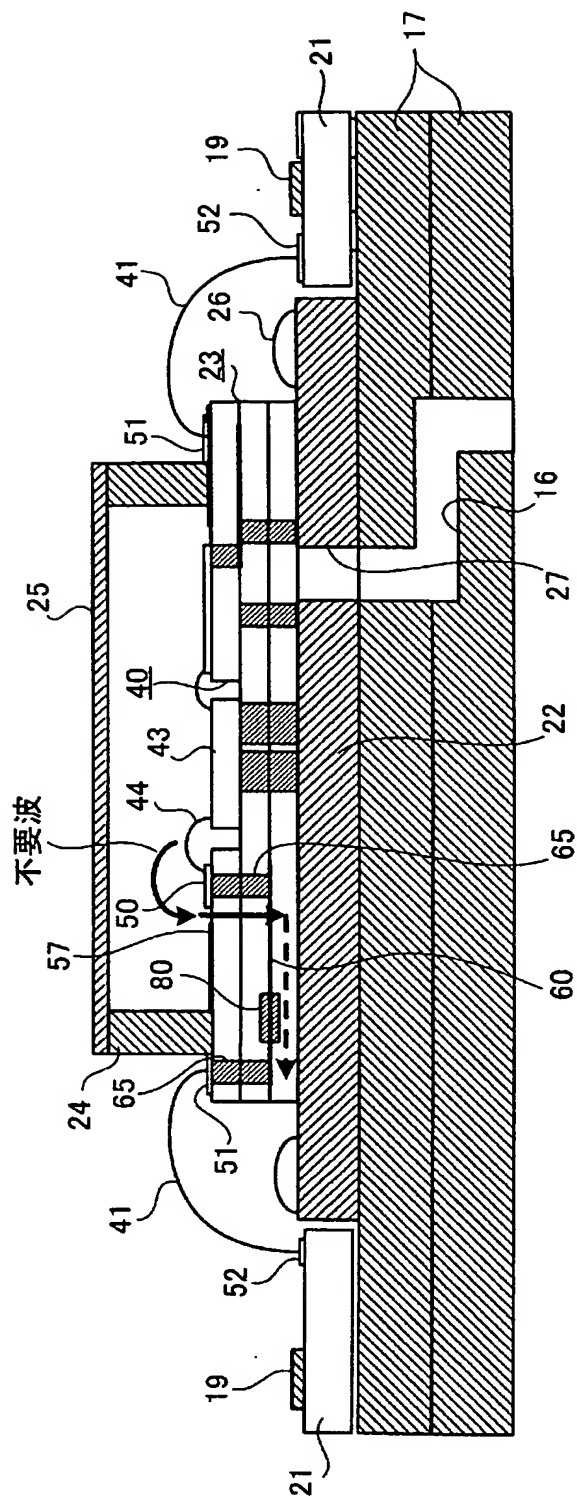
【0090】

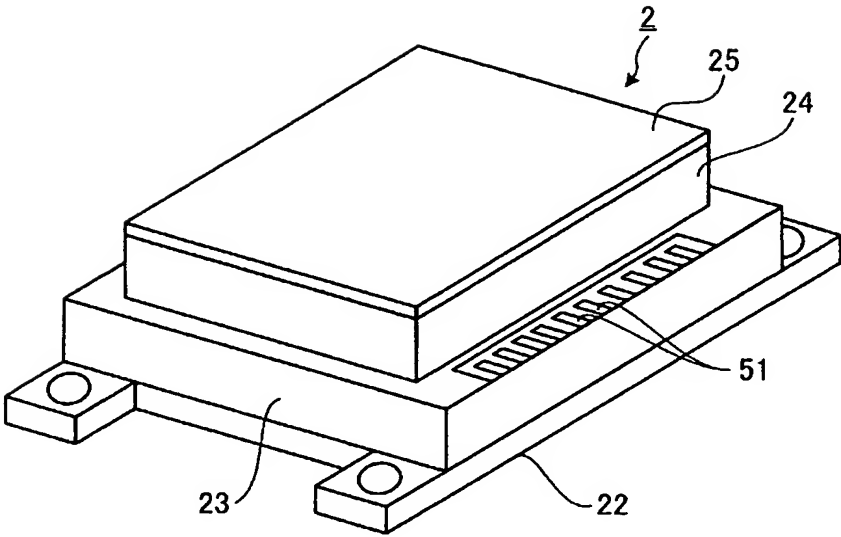
- 1 レーダ装置
- 2, 2', 91 高周波パッケージ
- 3 制御回路
- 4 変調回路
- 6 送受信モジュール
- 7 アンテナ
- 8 信号処理基板
- 10 ケーシング
- 12 レドーム
- 13 ケーブル
- 14 コネクタ
- 16 導波管
- 17 導波管プレート
- 19 電子回路
- 21 モジュール制御基板
- 22 キャリア
- 23 多層誘電体基板
- 24 シールリング
- 25 カバー
- 30 発振器
- 32 電力分配器
- 33 通倍器
- 35 送信導波管端子
- 36 受信導波管端子
- 37 MMIC
- 39 ミクサ
- 40 キャピティ
- 42 フィードスルー
- 43, 66, 90 高周波半導体
- 41, 44 ワイヤ
- 45 マイクロストリップ線路
- 50 バイアス／制御信号用パッド

5 1, 5 2 フロント面
5 3 グランド面
5 5 側壁
5 6, 6 1 誘電体
5 7 側縁部表層 グランドパターン
6 0 内層信号線路
6 5 信号ビア
7 0 内層接地導体
7 1, 7 1 a キャビティ側縁部
7 5, 7 5 a, 7 5 b, 7 5 c グランドビア
8 0 抵抗膜
8 1 側壁 グランドビア
8 2 側壁 グランドビア列
8 3 先端開放線路
8 4 グランドビア列 (シールドビア列)
8 5 グランドパターン
8 6 低域通過フィルタ
8 7 グランド抜き部分
9 2 バンプ
9 2 a 信号バンプ
9 2 b グランドバンプ
9 3 表層接地導体
9 4 導体パッド
 λ_g 実効波長

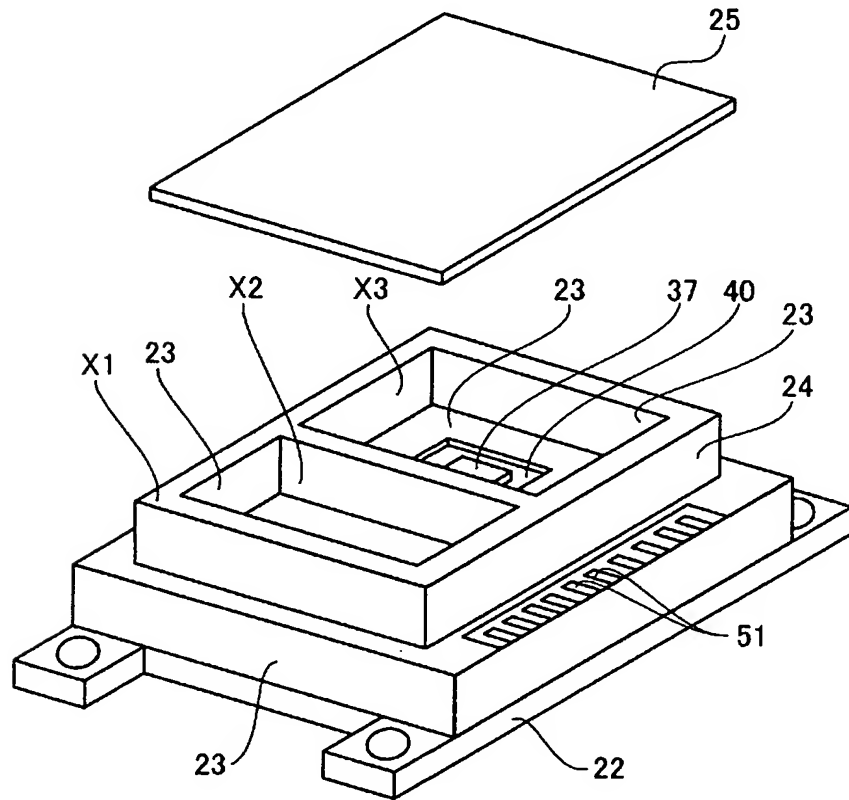
【 図 1 】

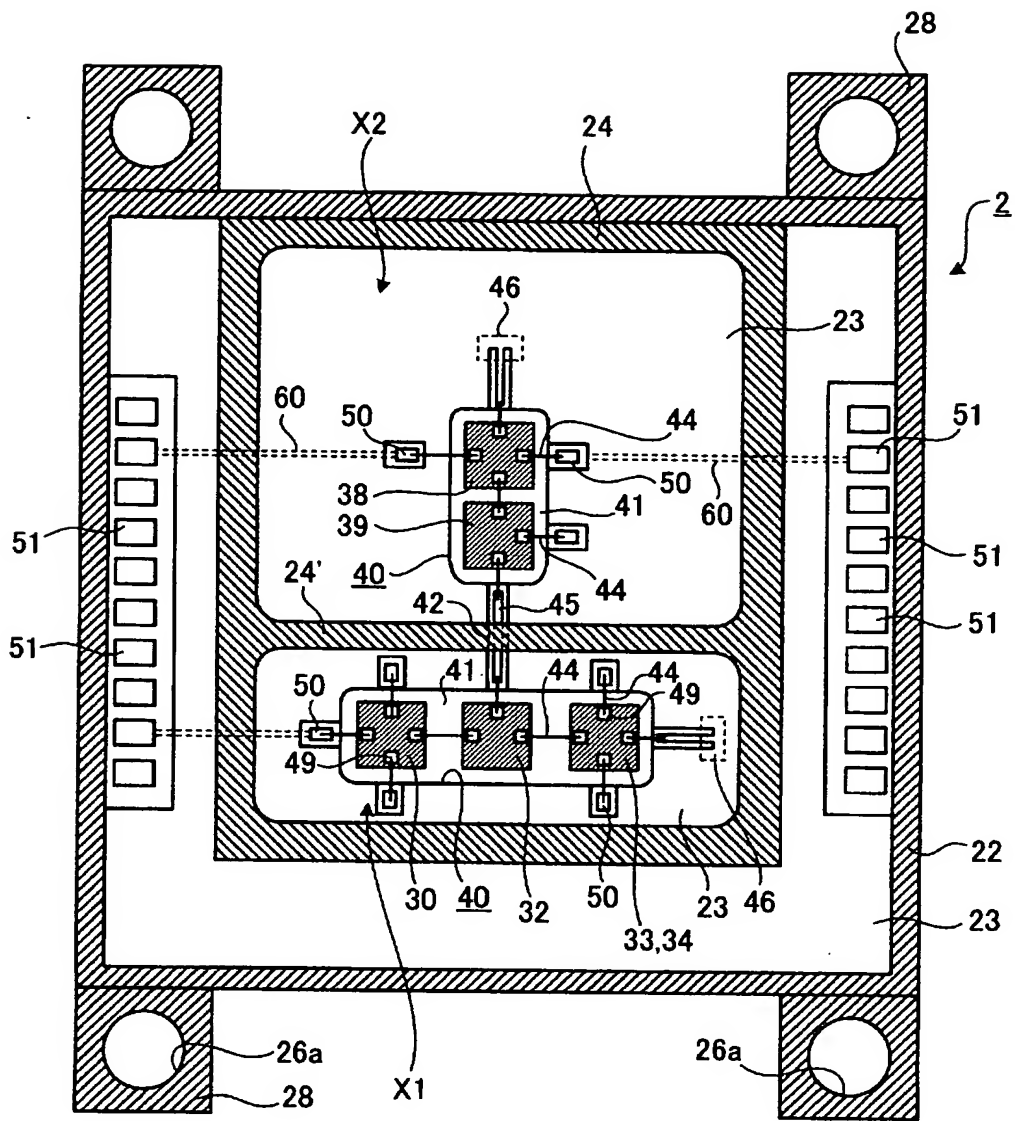


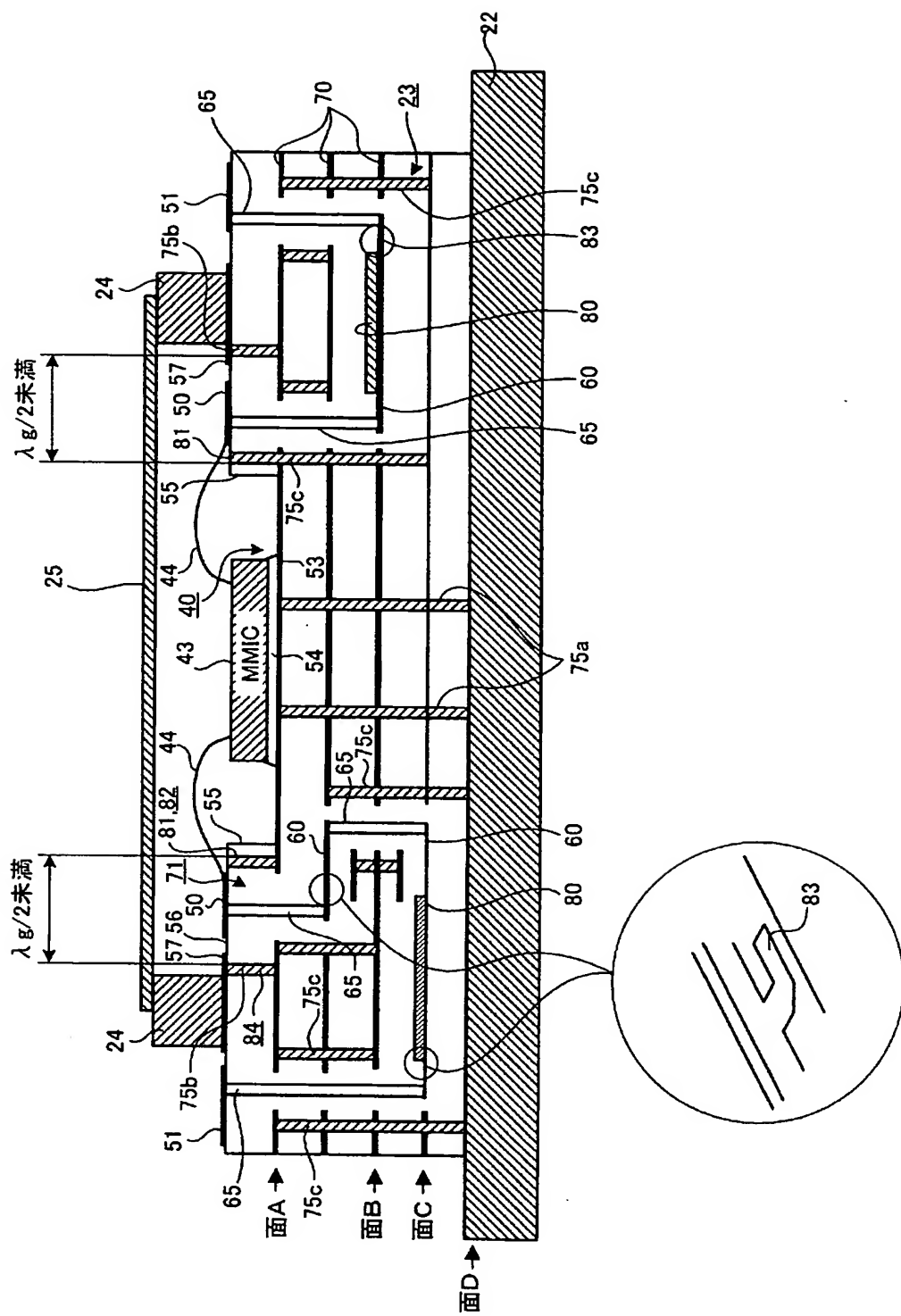


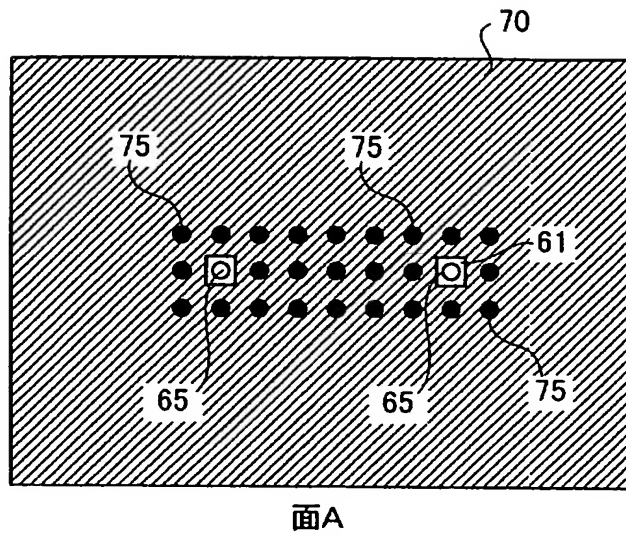


【 図 4 】

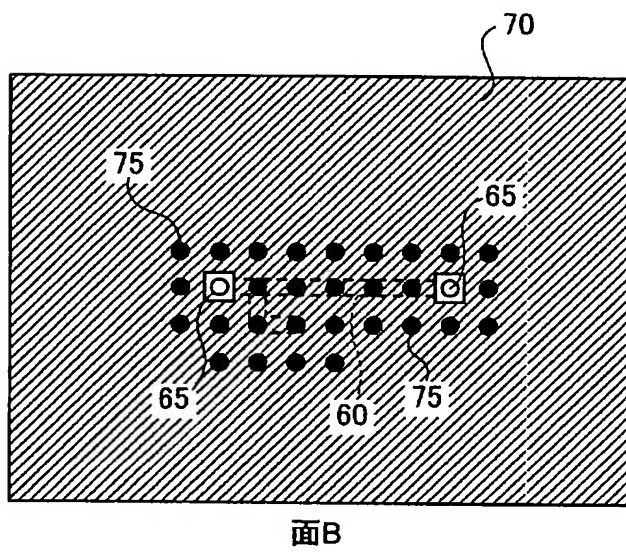


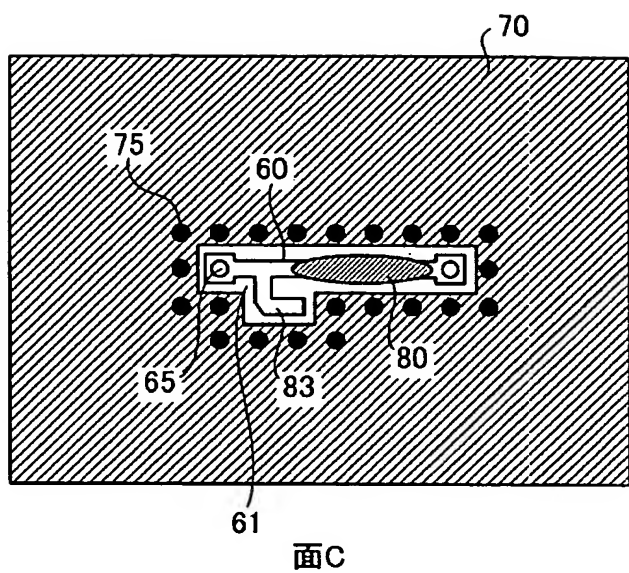




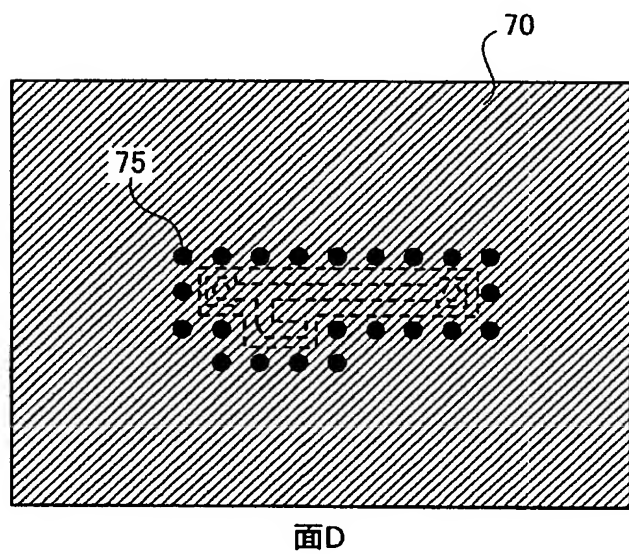


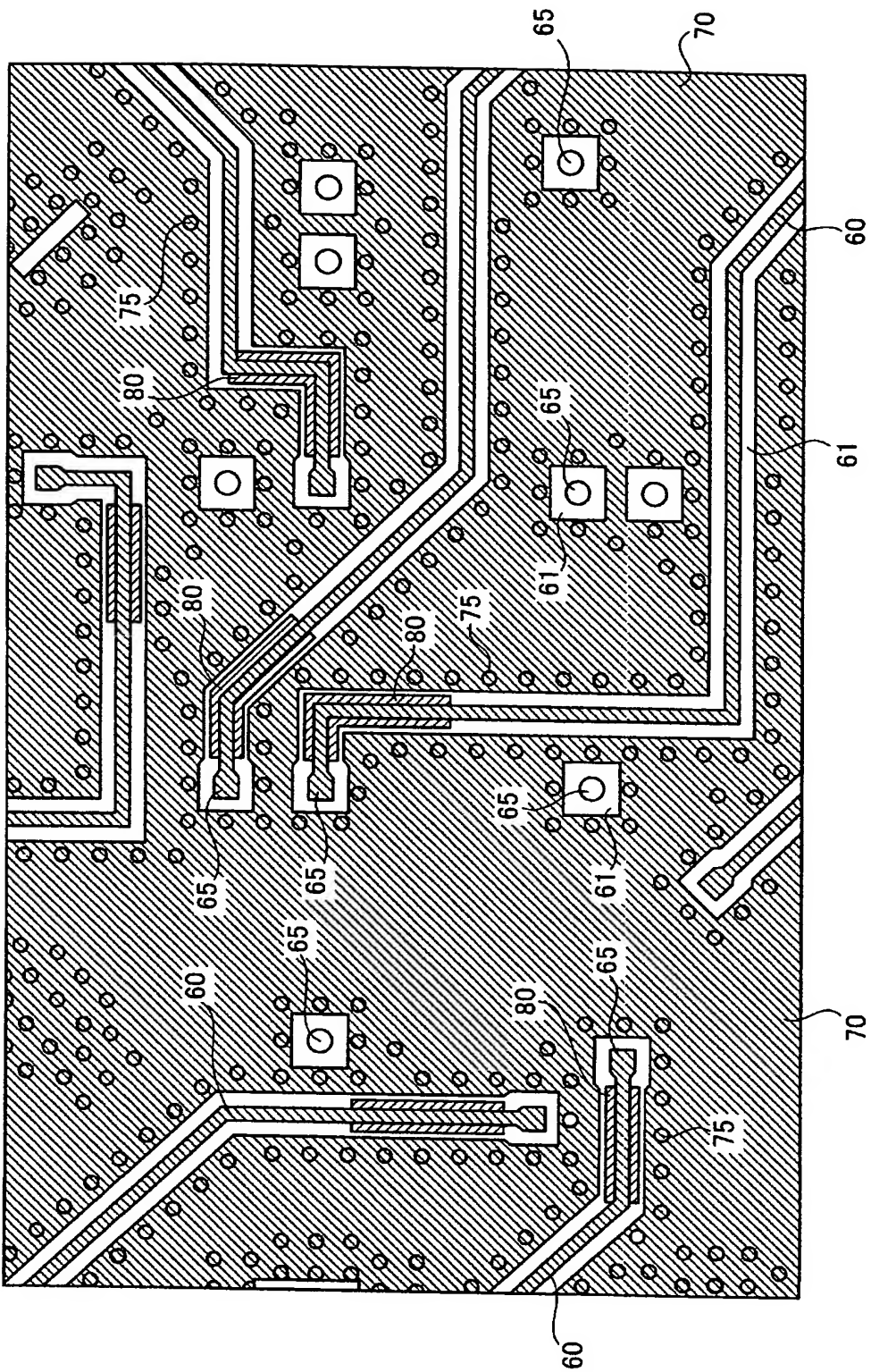
【图 7 - 2】

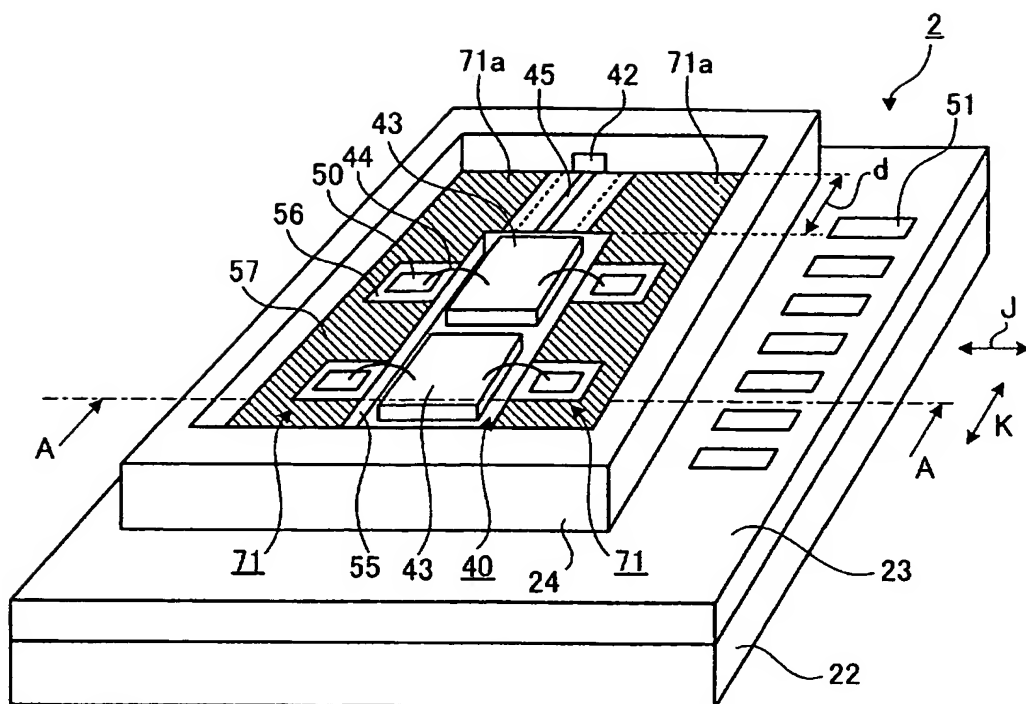




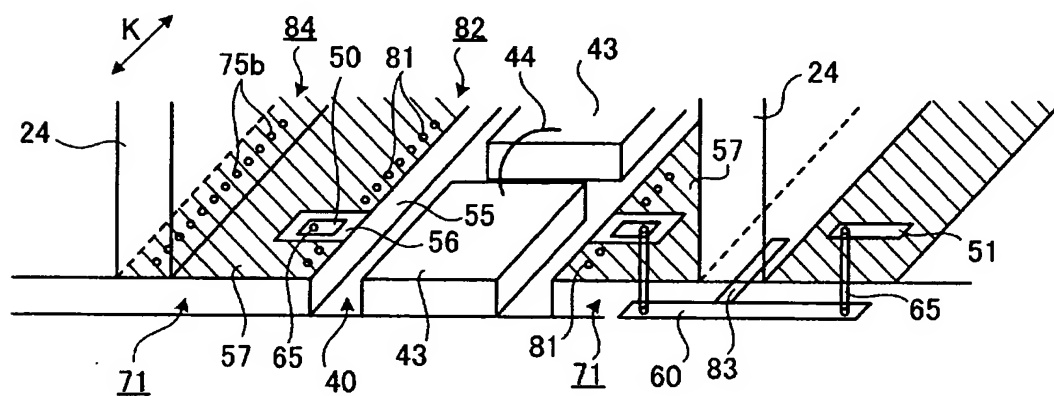
【图 7 - 4】

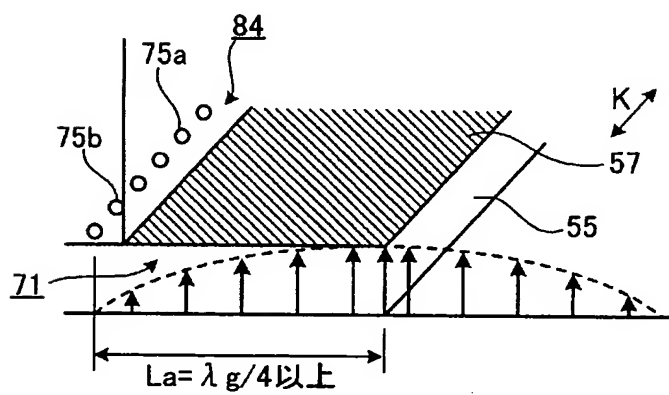


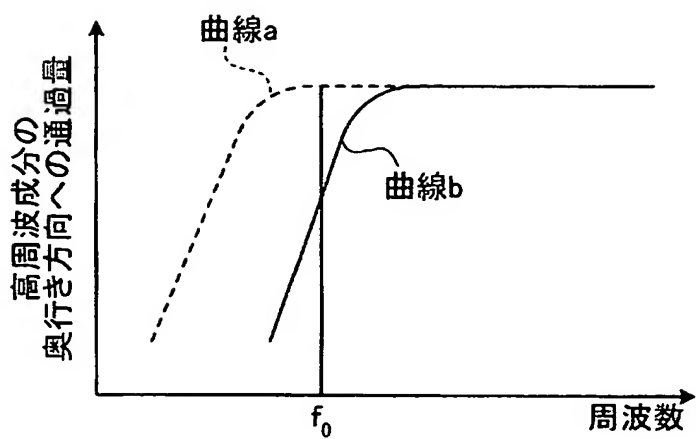




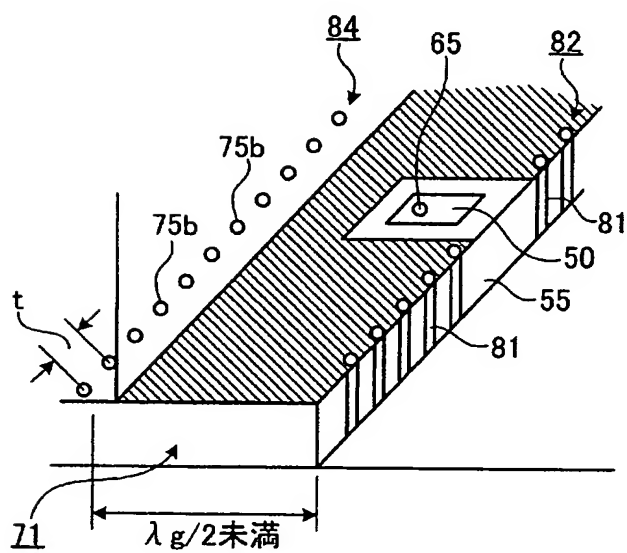
【 図 1 0 】

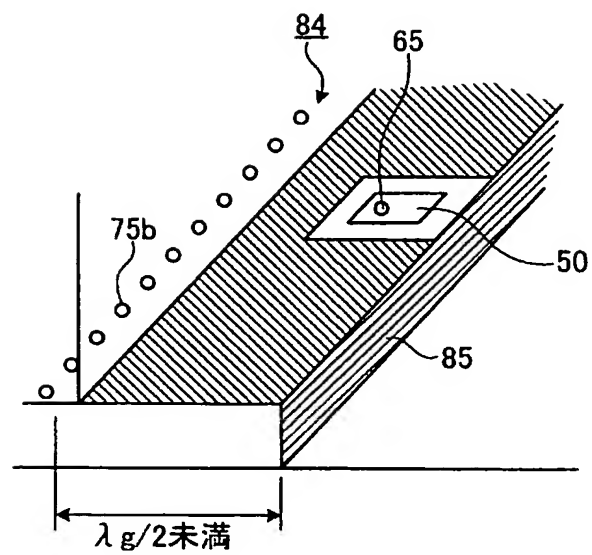




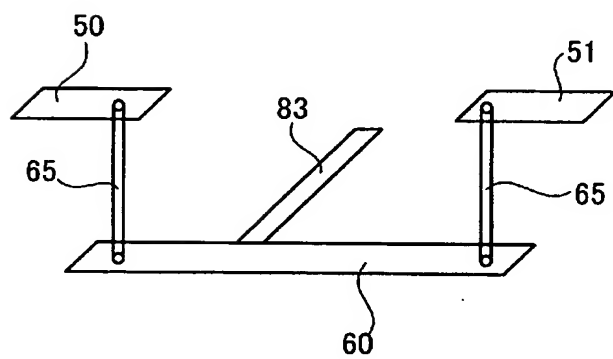


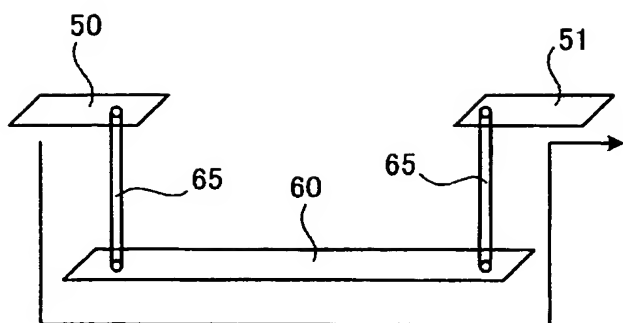
【 図 1 4 】



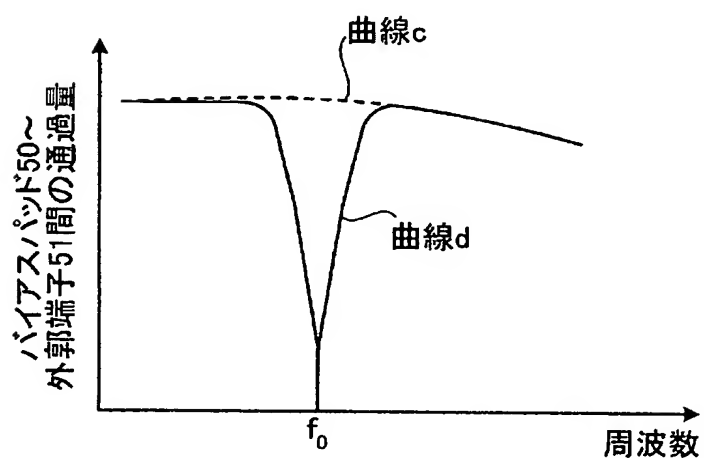


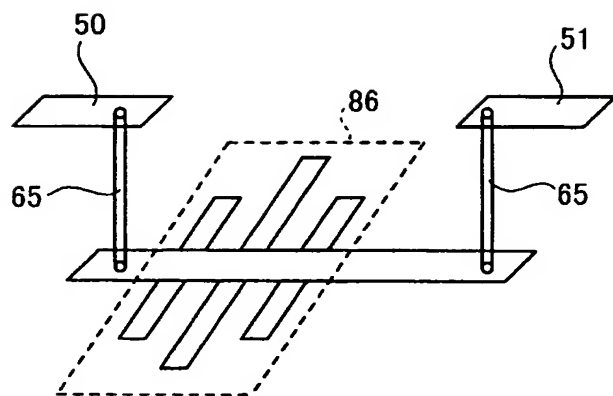
【図 16】



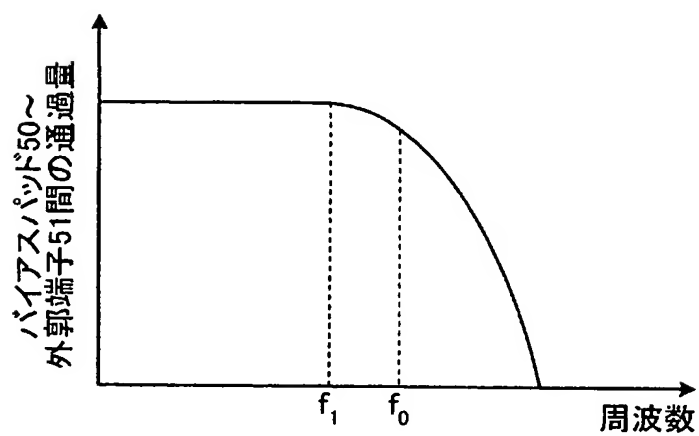


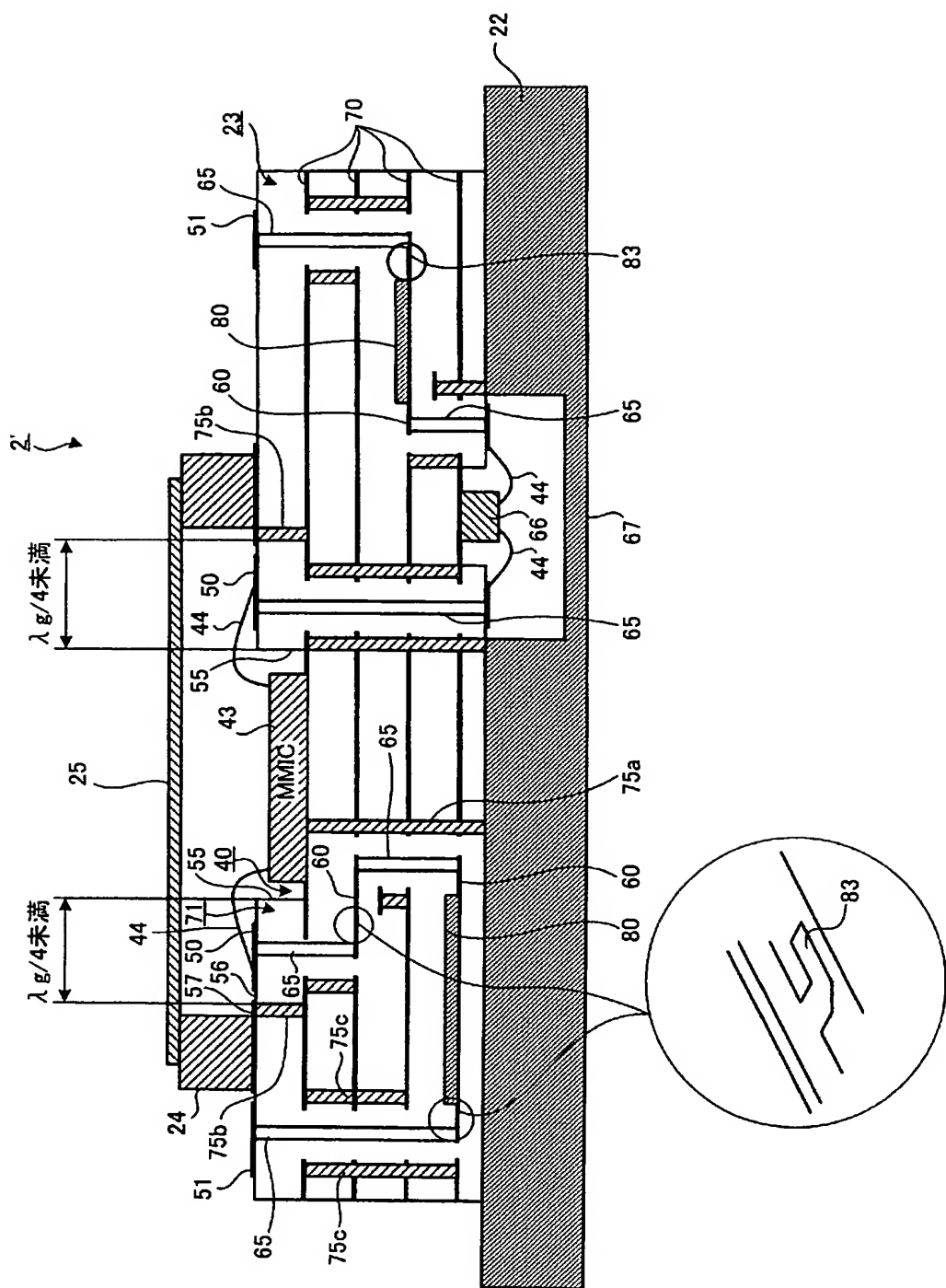
【図 18】

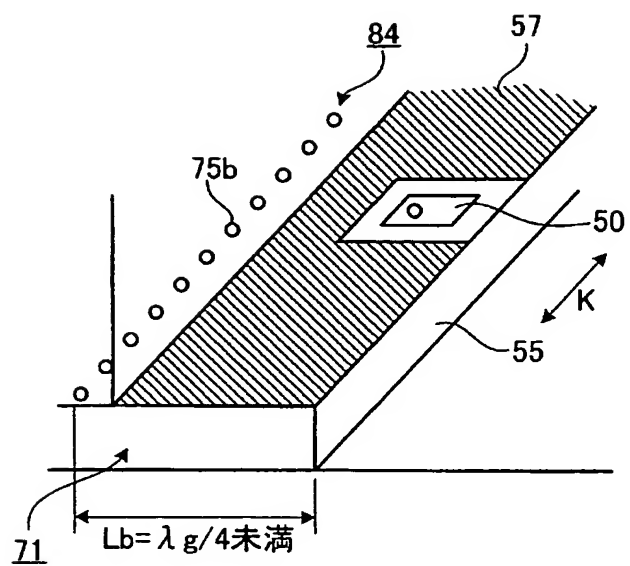




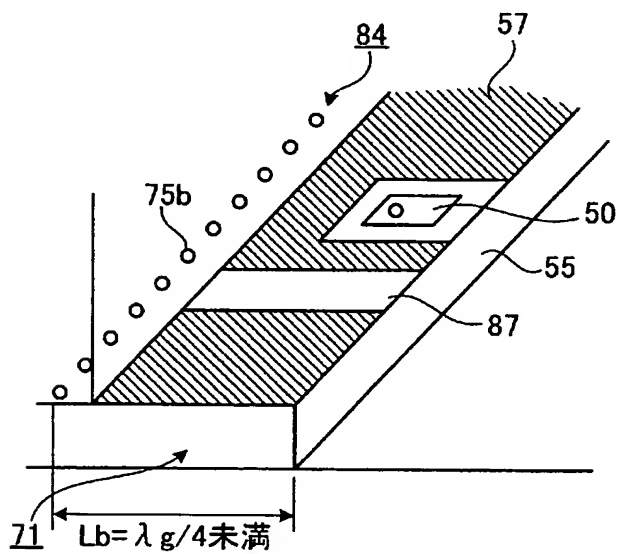
【 図 2 0 】

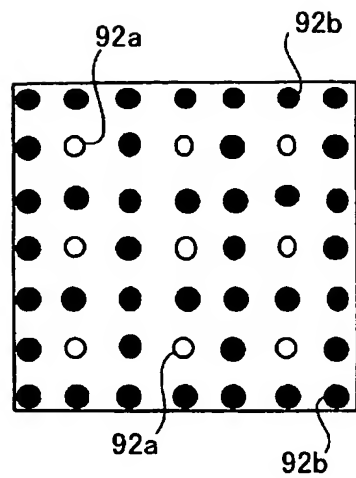




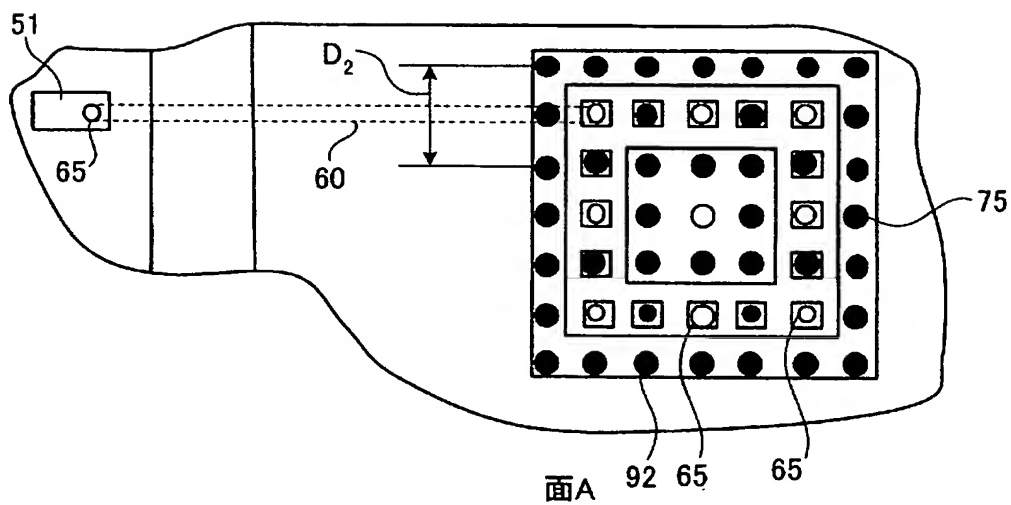


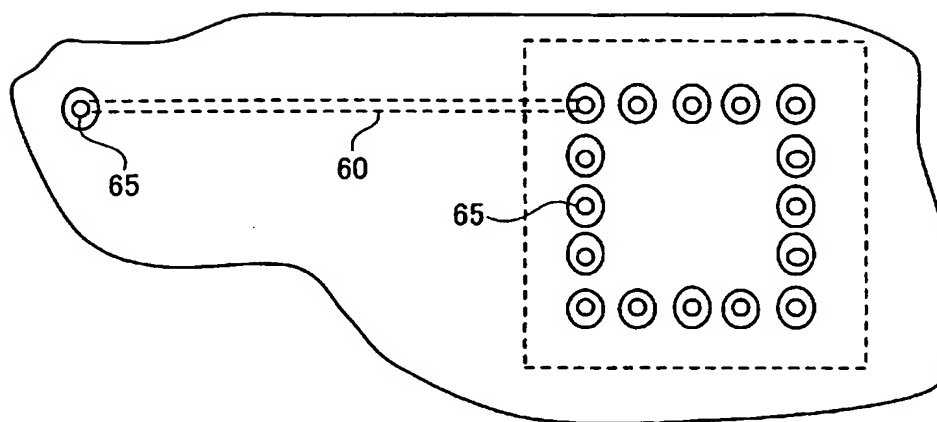
【 図 2 3 】





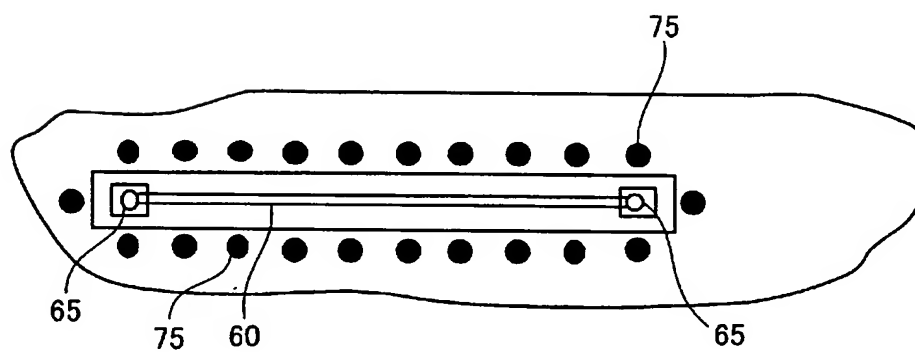
【圖 25-2】





面B

【图 25-4】



面C

【要約】

【課題】 外部への高周波成分の漏洩を高周波パッケージ内で抑止するようにして、低コストで高周波シールド性能の高い高周波パッケージ、送受信モジュールおよび無線装置を得ること。

【解決手段】 多層誘電体基板 23 に、高周波半導体 43 のバイアス／制御信号用端子に接続され、電磁シールド部材 24、25 の内側に配設される信号ビア 65 と、電磁シールド部材 24、25 の外側に配設され、バイアス／制御信号用の外部端子 51 に接続される信号ビア 65 と、信号ビア間を接続する内層信号線路 60 と、信号ビア 65 および内層信号線路 60 の周囲に配される内層接地導体 70 と、内層接地導体 70 上であって、前記信号ビア 65 および内層信号線路 60 の周囲に配される複数のグラウンドビア 75 とを備えるとともに、内層信号線路 60 に、高周波半導体 43 で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路 83 を設ける。

【選択図】 図 6

0 0 0 0 0 6 0 1 3

19900824

新規登録

5 9 1 0 3 1 9 2 4

東京都千代田区丸の内2丁目2番3号
三菱電機株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005432

International filing date: 24 March 2005 (24.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-083810
Filing date: 23 March 2005 (23.03.2005)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse